

INF-129



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

M. KUZMENKA ET AL.

Serial No. 10/759,103

Art Unit: 2818

Filed: January 20, 2004

Examiner: Unknown

For: BUFFER AMPLIFIER ARCHITECTURE FOR SEMICONDUCTOR MEMORY CIRCUITS

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

German Patent Appln. No. 103 02 128.0 filed January 21, 2003

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:


Michael A. Oblon
Reg. No. 42,956

Date: June 21, 2004
SHAW PITTMAN LLP
1650 Tysons Boulevard
McLean, VA 22102
Tel: (703) 770-7645

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 02 128.0

Anmeldetag: 21. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Pufferverstärkeranordnung

IPC: G 11 C 11/4093

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "Stark".

Stark

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12179	Ko/Ant/mk
Anmelderzeichen:	2002P06512 DE (2002 E 06511 DE)	21.01.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Pufferverstärkeranordnung

Beschreibung

Pufferverstärkeranordnung

- 5 Die Erfindung betrifft eine Pufferverstärkeranordnung zur Pufferung von Signalen, die gleichartigen Chips auf einem Halbleiterschaltungsmodul, insbesondere DRAM-Chips auf einem DRAM-Speichermodul parallel zugeführt werden.
- 10 Bei heutigen Halbleiterspeichermodulen, zum Beispiel DRAM-Speichermodulen, die mit immer höheren Frequenzen getaktet werden, sollten die allen gleichartigen Chips auf dem Halbleiterschaltungsmodul, insbesondere den Speicherchips zugeführten Signale, wie Adress-, Befehls-, und Datensignale, die allen Chips parallel angelegt werden, möglichst die gleiche Signallaufzeit haben. Dabei ist der Verzögerungsbereich heutiger Register und Pufferverstärkeranordnungen, wie sie in mit Registern versehenen Halbleiterspeichermodulen eingesetzt werden, häufig zu groß. Dieser Verzögerungszeitbereich beträgt typischerweise 0,9 ns bis 2,5 ns. Dadurch bedingt werden bei Frequenzen über 100 mHz die Zeittoleranzen der Signale auf dem Befehls-/Adressbus sehr eng. Dies wurde bisher durch eine Registerverzögerung mittels einstellbarer Taktverzögerung kompensiert. Die einmal vorgenommene Einstellung der Taktverzögerung ist dann festgelegt und passt sich nicht an unterschiedliche Charakteristiken des Halbleiterschaltungsmoduls an.

25 Die Erfindung zielt deshalb darauf ab, eine Pufferverstärkeranordnung, die auch für eine Registeranordnung für Speichermodule realisierbar ist mit einstellbarer Verzögerung und verzögerungsstarrer Rückkopplungsschleife zu ermöglichen, die elektrisch denselben Weg einschließt wie die gewöhnlichen Befehls- und Adressleitungen. Dadurch soll die Differenz zwischen einer minimalen und maximalen Verzögerung von der Pufferverstärkeranordnung bzw. dem Register zu den Speicher-

chips verringert werden und diese Verzögerung unabhängig von den Parametern der gedruckten Schaltungsplatte des Halbleiterorschaltungsmoduls werden.

- 5 Diese Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem wesentlichen Aspekt der Erfindung ist eine Pufferverstärkeranordnung zur Pufferung von Signalen, die gleichartigen Chips auf einem Halbleiterorschaltungsmodul, insbesondere DRAM-Chips auf einem DRAM-Speichermodul parallel zugeführt werden, die mit ersten Empfängergliedern jeweils zum parallelen Empfang der Signale, und ersten Ausgangspufferverstärkern versehen ist, die mit ihrem Eingang jeweils mit einem Ausgang eines jeweiligen ersten Empfängerglieds verbunden sind, um aus den von den ersten Empfängergliedern empfangenen Signalen gepufferte Ausgangssignale zu erzeugen, die den Chips des Halbleiterorschaltungsmoduls über ein Signalnetz zugeführt werden, dadurch gekennzeichnet, dass die Pufferverstärkeranordnung außerdem aufweist: ein zweites Empfängerglied zum Empfang eines Systemtaktsignals; einen zweiten Ausgangspufferverstärker, der mit seinem Eingang mit einem Ausgang des zweiten Empfängerglieds verbunden ist, um ein gepuffertes Ausgangstaktsignal zu erzeugen; erste Verzögerungsschaltungen mit einstellbarer Verzögerungszeit, die jeweils zwischen dem Ausgang jedes ersten Empfängerglieds und dem Eingang jedes ersten Ausgangspufferverstärkers verbunden sind und die Signale zwischen diesen Ausgängen und diesen Eingängen entsprechend der eingestellten Verzögerungszeit verzögern; eine zweite Verzögerungsschaltung mit einstellbarer Verzögerungszeit, die zwischen dem Ausgang des zweiten Empfängerglieds und dem Eingang des zweiten Ausgangspufferverstärkers vorgesehen ist, um das Takt signal zwischen diesem Ausgang und diesem Eingang entsprechend der eingestellten Verzögerungszeit zu verzögern; und eine Verzögerungsdetektorschaltung mit einem ersten und zweiten Eingang, von denen der erste Eingang mit dem Ausgang des zweiten Empfängerglieds und

der zweite Eingang über einen Rückkoppelkreis mit dem Ausgang des zweiten Ausgangspufferverstärkers verbunden ist, um eine Ist-Verzögerungszeit zwischen den an ihrem ersten und zweiten Eingang anliegenden Taktsignalen zu erfassen, einem dritten 5 Eingang, der mit einem eine Sollverzögerung angebenden Referenzsignal beaufschlagt ist und mit einem Differenzverstärker, der zur Erzeugung einer Differenz zwischen der erfassten Ist-Verzögerungszeit und der durch das Referenzsignal angegebenen Soll-Verzögerungszeit entsprechenden Stellspannung 10 angeordnet ist, die jeweils einem Stelleingang der ersten und zweiten Verzögerungsschaltungen zur Einstellung der Verzögerungszeit zugeführt wird.

Gemäß einem weiteren Aspekt der Erfindung weist der Rückkopplkreis ein Referenzleitungsnetz mit derselben Struktur und denselben elektrischen Eigenschaften wie das Signalleitungsnetz und das Referenzleitungsnetz abschließende Kapazitätselemente auf, die dieselben Kapazitäten haben wie die Signaleingänge der Chips des Halbleiterschaltungsmoduls.

20 Bevorzugt werden diese Kapazitätselemente durch Dummy-Pins der Chips oder unbenutzte Signaleingänge derselben realisiert.

25 Im Falle von Halbleiterspeichermoduls sind die von der Pufferverstärkeranordnung gepufferten Signale bevorzugt Befehls- und Adresssignale.

Bevorzugt weisen die ersten und zweiten Empfängerglieder 30 jeweils Differenzverstärker auf.

Weiterhin ist bevorzugt, dass die ersten und zweiten Ausgangspufferverstärker jeweils Push-Pull-Verstärker aufweisen.

35 Die Verzögerungsdetektorschaltung kann bevorzugt ein Exklusiv-ODER-Glied mit dem ersten und zweiten Eingang und ein

eine Integratoranordnung bildendes R-C-Glied am Ausgang des Exklusiv-ODER-Glieds zur Erzeugung eines Spannungspegels aufweisen, der der Ist-Verzögerungszeit entspricht und der dem invertierenden Eingang des Differenzverstärkers der Verzögerungsdetektorschaltung zugeführt wird.

5 Das dem dritten Eingang der Verzögerungsdetektorschaltung angelegte Referenzsignal wird bevorzugt von der Versorgungsspannung des Exklusiv-ODER-Glieds abgeleitet. Auf diese Weise ist die Verzögerung der gesteuerten Verzögerungsleitung unabhängig von der Versorgungsspannung.

10 Die Pufferverstärkeranordnung kann entweder ein separater integrierter Chip sein, der sich auf der gedruckten Schaltungsplatte des Halbleiterschaltungsmoduls befindet oder statt dessen in einem anderen Chip des Halbleiterschaltungsmoduls integriert sein.

15 Die oben beschriebene Struktur und Funktion der erfundungsgemäßen Pufferverstärkeranordnung reduziert somit die Differenz zwischen der minimalen und maximalen Verzögerung vom Puffer/Register zum Halbleiterchip und macht außerdem diese Verzögerung unabhängig von den Parametern der gedruckten Schaltungsplatte.

20 25 Die obigen und weitere vorteilhafte Merkmale der Erfindung werden in der nachstehenden Beschreibung unter Bezugnahme auf die Zeichnung näher erläutert. Die Zeichnungsfiguren zeigen im Einzelnen:

30 Fig. 1 schematisch Blöcke eines ersten Ausführungsbeispiels einer erfundungsgemäßen Pufferverstärkeranordnung;

35 Fig. 2 ein Schaltbild einer bevorzugten Anordnung einer Verzögerungsdetektorschaltung von Fig. 1;

Fig. 3 ein Signalzeitdiagramm, das Signale an verschiedenen Schaltungspunkten der in Fig. 2 dargestellten Verzögerungsdetektorschaltung veranschaulicht, und

5

Fig. 4 einen Abschnitt eines Registermoduls mit einem zweiten Ausführungsbeispiel der erfindungsgemäßen Pufferverstärkeranordnung.

10 Gemäß Fig. 1 enthält eine allgemein mit 1 bezeichnete Pufferverstärkeranordnung erste Empfängerglieder 51 in Form von Differenzverstärkern zum Empfang von Befehls- und Adresssignalen 2 (Fig. 1 zeigt nur einen Kanal und die tatsächliche Anzahl der Signale 2 liegt im Bereich von 22 bis 48). Zweite
15 als Differenzverstärker implementierte Empfängerglieder 52 empfangen differentielle Taktsignale 3. Die Ausgänge der ersten Empfängerglieder 51 sind jeweils über erste Verzögerungsschaltungen 71 mit einstellbarer Verzögerungszeit Δt_{var} mit Eingängen jeweiliger erster Ausgangspufferverstärker 81 verbunden, die als Push-Pull-Pufferverstärker realisiert sind.

Gleichermaßen ist der Ausgang des zweiten Empfängerglieds 52 über eine zweite Verzögerungsschaltung 72 mit einstellbarer Zeitverzögerung Δt_{var} mit einem Eingang eines zweiten Ausgangspufferverstärkers 82 verbunden, der genauso wie die ersten Ausgangspufferverstärker 81 als Push-Pull-Pufferverstärker realisiert ist.

30 Die jeweiligen Ausgänge der ersten Ausgangspufferverstärker 81 führen über ein Leitungsnetz 12 einer (nicht gezeigten) gedruckten Schaltungsplatte zu Befehls- und Adresseingängen von mehreren parallelen DRAM-Chips DRAM1, DRAM2, ..., DRAM5.

35 Der das von der zweiten Verzögerungsschaltung 72 mit variabler Verzögerung verzögerte Taktsignal führende Ausgang des

zweiten Ausgangspufferverstärkers 82 ist über ein Referenzleitungsnetz 9 der (nicht gezeigten) gedruckten Schaltungsplatte mit Abschlusskapazitätselementen 10 verbunden, die dieselbe Kapazität wie die Signaleingänge der Speicherchips 13 haben. Diese Kapazitätselemente 10 können entweder Dummy-Pins der Speicherchips 13 oder unbenutzte Signaleingänge derselben sein. Dadurch wird das System unempfindlich gegenüber Variationen der Parameter der Speicherchips 13. Die Topologie des Signalleitungsnetzes 12 und des Referenzleitungsnetzes 9 muss elektrisch dieselbe sein. Vom Referenzleitungsnetz 9 führt eine Rückkoppelleitung 11 zu einem Eingang 15 einer Verzögerungsdetektorschaltung 6, deren Anordnung und Funktion nachstehend anhand der Fig. 2 und 3 beschrieben wird.

15

In Fig. 2 ist ein Ausführungsbeispiel einer Schaltungsanordnung der Verzögerungsdetektorschaltung 6 gezeigt. Ein Eingang 14 eines Exklusiv-ODER-Glieds 16 empfängt das am Ausgang des zweiten Empfängerglieds 52 abgegebene Taktsignal, während am anderen Eingang 15 der in Fig. 2 gezeigten Verzögerungsdetektorschaltung 6 wie erwähnt die Rückkoppelleitung 11 vom Referenzleitungsnetz 9 anliegt.

25

In Fig. 3 sind beispielhaft Signalverläufe der beiden Eingangssignale 14 und 15 des Exklusiv-ODER-Glieds 16 sowie dessen Ausgangssignal 18 für zwei verschiedene Fälle einer großen Verzögerung Δt_1 (in Fig. 3 links) und einer kleineren Verzögerung Δt_2 (rechts in Fig. 3) gezeigt. Die Dauer der Impulse 18 ist gleich der Verzögerung des Befehls- und Adresssignalnetzes. Am Ausgang 18 des Exklusiv-ODER-Glieds 16 schließt ein aus einem Widerstand 17 und einem Kondensator 21 bestehender Integrator an, der am Schaltungspunkt 20 ein der Dauer der Impulse 18 entsprechendes Spannungsniveau (vgl. letzte Zeile in Fig. 3) liefert. Diese Spannung am Punkt 20 liegt einem invertierenden Eingang eines Differenzverstärkers 22 an, dessen nicht invertierender Eingang mit einer eine

Sollverzögerung angebenden Referenzspannung beaufschlagt ist.
Die Referenzspannung am Anschluss 4 der Verzögerungsdetektorschaltung 6 wird bevorzugt von der Versorgungsspannung des Exklusiv-ODER-Glieds 16 abgeleitet, zum Beispiel durch einen 5 Spannungsteiler.

Das Ausgangssignal des als Vergleicher fungierenden Differenzverstärkers 22 der Verzögerungsdetektorschaltung 6 wird Steuereingängen der ersten und zweiten Verzögerungsschaltungen 10 71 zur Einstellung ihrer Verzögerung zugeführt. Wenn beispielsweise die Relation 1 V pro 1 ns Verzögerungszeit Δt_{var} der ersten und zweiten Verzögerungsschaltungen 71, 72 gilt, ergibt eine Regelspannung von 1,25 V am Eingang 4 der Verzögerungsdetektorschaltung 6 die Verzögerungszeit von 1,25 15 ns vom Puffereingang 2 zum Eingang der Speicherchips 13 für alle Befehls- und Adresssignale. Wenn, wie erwähnt, die Spannung am Eingang 4 der Verzögerungsdetektorschaltung 6 von der Versorgungsspannung des Exklusiv-ODER-Glieds 16 abgeleitet ist, hängt die an den ersten und zweiten Verzögerungsschaltungen 20 71, 72 eingestellte Verzögerung nicht von der Versorgungsspannung ab. Die Phasenverschiebung zwischen den Eingängen 14 und 15 der Verzögerungsdetektorschaltung 6 (als Prozentsatz der Zykluszeit) wird durch die Spannung am Eingang 4 (Prozentsatz der Versorgungsspannung) bestimmt.

25 Selbstverständlich kann die eingestellte Verzögerungszeit nicht kleiner als die maximale Verzögerungszeit der Pufferverstärkeranordnung 1 sein, für den Fall, dass die an den ersten und zweiten Verzögerungsschaltungen 71 und 72 eingestellte Verzögerungszeit minimal ist.

Fig. 4 zeigt ein zweites Ausführungsbeispiel einer erfundsgemäßen Pufferverstärkeranordnung für den Fall der Anwendung in einer Registeranordnung. Die in Fig. 4 gezeigte 35 Schaltungsanordnung unterscheidet sich von der in Fig. 1 lediglich dadurch, dass zwischen dem Ausgang der ersten Emp-

fängerglieder 51 und dem Eingang der ersten Verzögerungsschaltungen 71 jeweils ein Register 80 angeordnet ist, das von dem vom zweiten Empfängerglied 52 erzeugten Taktsignal zum Einlatchen der Befehls- und Adresssignale getaktet wird.

5

Hier soll noch erwähnt werden, dass die erfundungsgemäße Pufferverstärkeranordnung entweder ein separater integrierter Schaltungsschip auf der gedruckten Schaltungsplatte oder in einem anderen Chip zum Beispiel einem Interfacechip auf der gedruckten Schaltungsplatte integriert sein kann.

10

Patentansprüche

1. Pufferverstärkeranordnung (1) zur Pufferung von Signalen, die gleichartigen Chips auf einem Halbleiterschaltungsmodul, 5 insbesondere DRAM-Chips auf einem DRAM-Speichermodul parallel zugeführt werden, mit

- ersten Empfängergliedern (51) jeweils zum parallelen Empfang der Signale (2), und
- ersten Ausgangspufferverstärkern (81), die mit ihrem Eingang jeweils mit einem Ausgang eines jeweiligen ersten Empfängerglieds (51) verbunden sind, um aus den von den ersten Empfängergliedern (51) empfangenen Signalen gepufferte Ausgangssignale zu erzeugen, die den Chips des Halbleiter- schaltungsmoduls über ein Signalleitungsnetz (12) zugeführt werden,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Pufferverstärkeranordnung (1) außerdem aufweist:

- ein zweites Empfängerglied (52) zum Empfang eines Systemtaktsignals (3);

20 - einen zweiten Ausgangspufferverstärker (82), der mit seinem Eingang mit einem Ausgang des zweiten Empfängerglieds (52) verbunden ist, um ein gepuffertes Ausgangstaktsignal zu erzeugen;

25 - erste Verzögerungsschaltungen (71) mit einstellbarer Verzögerungszeit (Δt_{var}), die jeweils zwischen dem Ausgang jedes ersten Empfängerglieds (51) und dem Eingang jedes ersten Ausgangspufferverstärkers (81) verbunden sind und die Signale zwischen diesen Ausgängen und diesen Eingängen entsprechend der eingestellten Verzögerungszeit (Δt_{var}) verzögern;

30 - eine zweite Verzögerungsschaltung (72) mit einstellbarer Verzögerungszeit (Δt_{var}), die zwischen dem Ausgang des zweiten Empfängerglieds (52) und dem Eingang des zweiten Ausgangspufferverstärkers (82) vorgesehen ist, um das Taktsignal zwischen diesem Ausgang und diesem Eingang entsprechend der eingestellten Verzögerungszeit (Δt_{var}) zu verzögern; und

- eine Verzögerungsdetektorschaltung (6) mit einem ersten und zweiten Eingang (14, 15), von denen der erste Eingang (14) mit dem Ausgang des zweiten Empfängerglieds (52) und der zweite Eingang (15) über einen Rückkoppelkreis (9, 10) mit dem Ausgang des zweiten Ausgangspufferverstärkers (82) verbunden ist, um eine Ist-Verzögerungszeit zwischen den an ihrem ersten und zweiten Eingang (14, 15) anliegenden Takt-signalen zu erfassen, einem dritten Eingang (4), der mit einem eine Sollverzögerung angebenden Referenzsignal beaufschlagt ist und mit einem Differenzverstärker (22), der zur Erzeugung einer Differenz zwischen der erfassten Ist-Verzögerungszeit und der durch das Referenzsignal angegebenen Soll-Verzögerungszeit entsprechenden Stellspannung angeordnet ist, die jeweils einem Stelleingang der ersten und zweiten Verzögerungsschaltungen (71, 72) zur Einstellung der Verzögerungszeit (Δt_{var}) zugeführt wird.

2.. Pufferverstärkeranordnung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

20 dass der Rückkoppelkreis (9, 10) ein Referenzleitungsnetz (9) mit derselben Struktur und denselben elektrischen Eigenschaften wie das Signalleitungsnetz (12) und das Referenzleitungsnetz (9) abschließende Kapazitätselemente (10) aufweist, die dieselben Kapazitäten haben wie die Signaleingänge der Chips des Halbleiterschaltungsmodus.

25 3. Pufferverstärkeranordnung nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kapazitätselemente (10) durch Dummy-Pins der Chips 30 oder durch unbenutzte Signaleingänge derselben realisiert sind.

35 4. Pufferverstärkeranordnung nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t ,

dass die von der Pufferverstärkeranordnung (1) gepufferten Signale Befehls- und Adresssignale für Speicherchips sind.

5 5. Pufferverstärkeranordnung nach einem der Ansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t ,
dass die ersten und zweiten Empfängerglieder (51, 52) jeweils Differenzverstärker aufweisen.

10 6. Pufferverstärkeranordnung nach einem der Ansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t ,
dass die ersten und zweiten Ausgangspufferverstärker (81, 82) jeweils Push-Pull-Verstärker aufweisen.

15

7. Pufferverstärkeranordnung nach einem der Ansprüche 1 bis 6,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Verzögerungsdetektorschaltung (6) ein Exklusiv-ODER-Glied (16) mit dem ersten und zweiten Eingang (14, 15) und ein R-C-Glied (17, 21) am Ausgang des Exklusiv-ODER-Glieds (16) aufweist, um einen Spannungspegel (20) zu erzeugen, der der Ist-Verzögerungszeit entspricht und der dem invertierenden Eingang des Differenzverstärkers (22) der Verzögerungsdetektorschaltung (6) zugeführt wird.

25 8. Pufferverstärkeranordnung nach Anspruch 7,

d a d u r c h g e k e n n z e i c h n e t ,
dass das dem dritten Eingang (4) angelegte Referenzsignal von der Versorgungsspannung des Exklusiv-ODER-Glieds (16) abgeleitet ist.

30 9. Pufferverstärkeranordnung nach einem der vorangehenden Ansprüche,

35 d a d u r c h g e k e n n z e i c h n e t ,

dass sie als separater integrierter Schaltungschip implementiert ist.

10. Pufferverstärkeranordnung nach einem der Ansprüche 1 bis
5 8,

d a d u r c h g e k e n n z e i c h n e t ,
dass sie in einem anderen Chip des Halbleiterschaltungsmo-
duls, insbesondere des DRAM-Speichermoduls integriert ist.

10

Zusammenfassung

Pufferverstärkeranordnung

5 Die Erfindung betrifft eine Pufferverstärkeranordnung zur Pufferung von Signalen, die gleichartige Chips, insbesondere DRAM-Chips eines Halbleiterspeichermoduls parallel zugeführt werden und weist einstellbare Verzögerungsschaltungen (71) in jeder Signalleitung und eine Verzögerungsdetektorschaltung
10 (6) auf, die ein von der Pufferverstärkeranordnung (1) empfangenes Taktsignal (3) am Eingang und am Ausgang der Pufferverstärkeranordnung empfängt und aus der Phasendifferenz dieser beiden Signale ein Stellsignal zur Einstellung der variablen Verzögerungszeit (Δt_{var}) der Verzögerungsschaltungen
15 (71) erzeugt. Damit die von der Verzögerungsdetektorschaltung (6) eingestellte Verzögerungszeit unabhängig von Variationen der Parameter der DRAM-Speicherchips (13) ist, weist der zum Eingang der Verzögerungsdetektorschaltung (6) führende Rückkoppelweg (11) ein Referenzleitungsnetz (9) derselben Struktur und mit denselben elektrischen Eigenschaften wie das zu den DRAM-Speicherchips (13) führende Leitungsnetz (12) sowie das Referenzleitungsnetz (9) abschließende Kapazitätselemente
20 (10) auf, die dieselben Kapazitäten haben wie die Signaleingänge der DRAM-Speicherchips (13).

25

(Fig. 1)

Bezugszeichenliste

- 1 Pufferverstärkeranordnung
- 2 Befehls-Adresssignale
- 3 Taktsignal
- 4 Referenzsignal
- 51, 52 erste und zweite Empfängerglieder
- 6 Verzögerungsdetektorschaltung
- 71, 72 erste, zweite Verzögerungsschaltungen
- 81, 82 erste, zweite Ausgangspufferverstärker
- 9 Referenzleitungsnetz
- 10 Abschlusskapazitätselemente
- 11 Rückkoppelkreis
- 12 Signalleitungsnetz
- 13 DRAM-Speicherchips
- 14, 15 erster und zweiter Eingang zur Verzögerungsdetektorschaltung 6
- 16 Exklusiv-ODER-Glied
- 17 Widerstand
- 18 Ausgang des Exklusiv-ODER-Glieds
- 20 Ausgang einer Integrationsschaltung
- 21 Kondensator
- 22 Differenzverstärker
- 23 Ausgang des Differenzverstärkers 22
- 80 Register

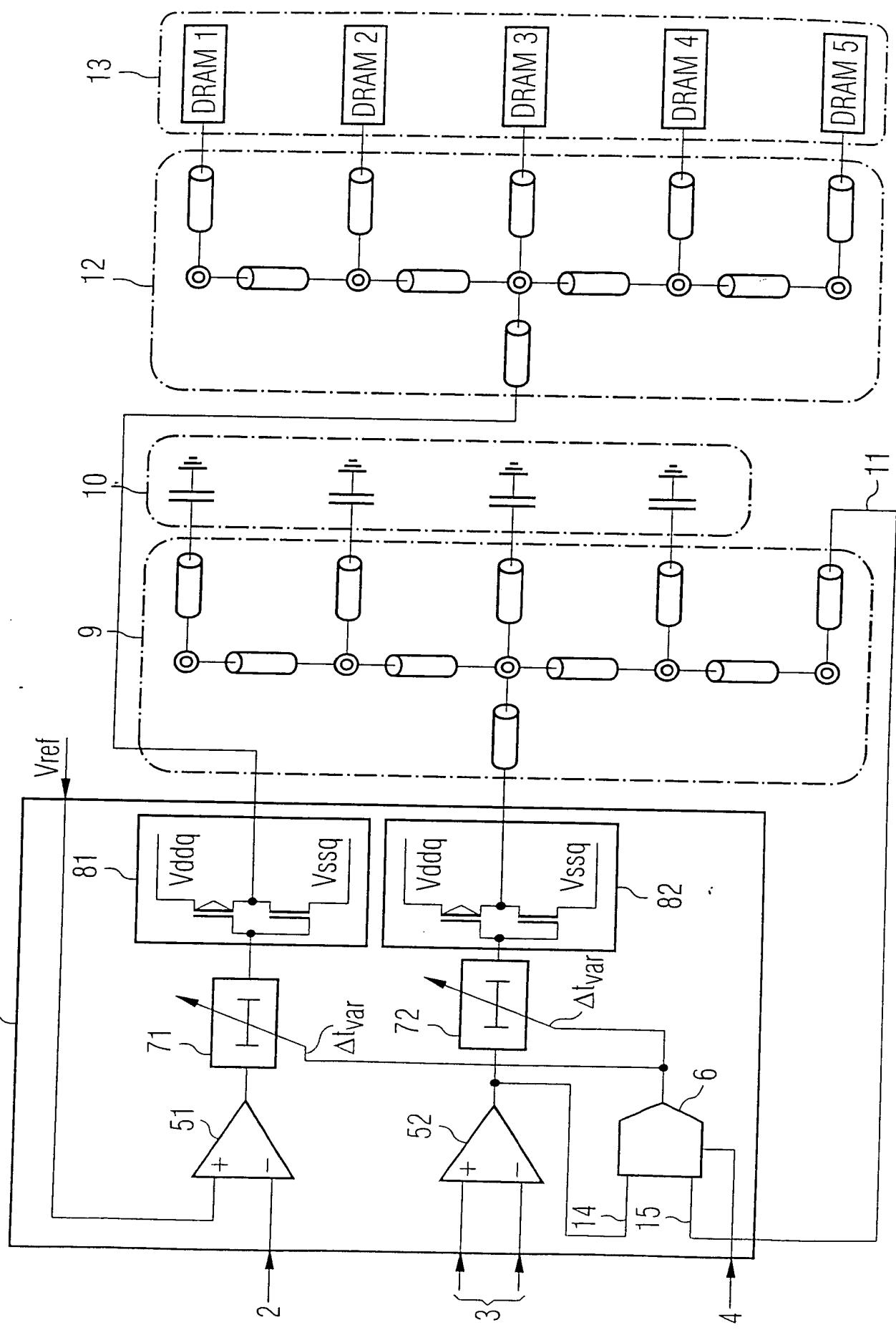


FIG 1

FIG 2

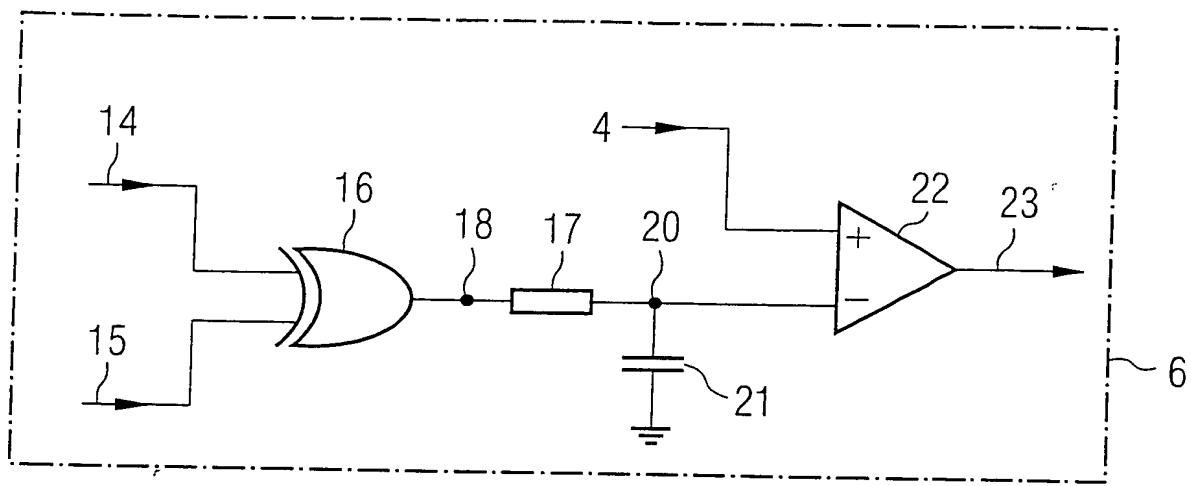


FIG 3

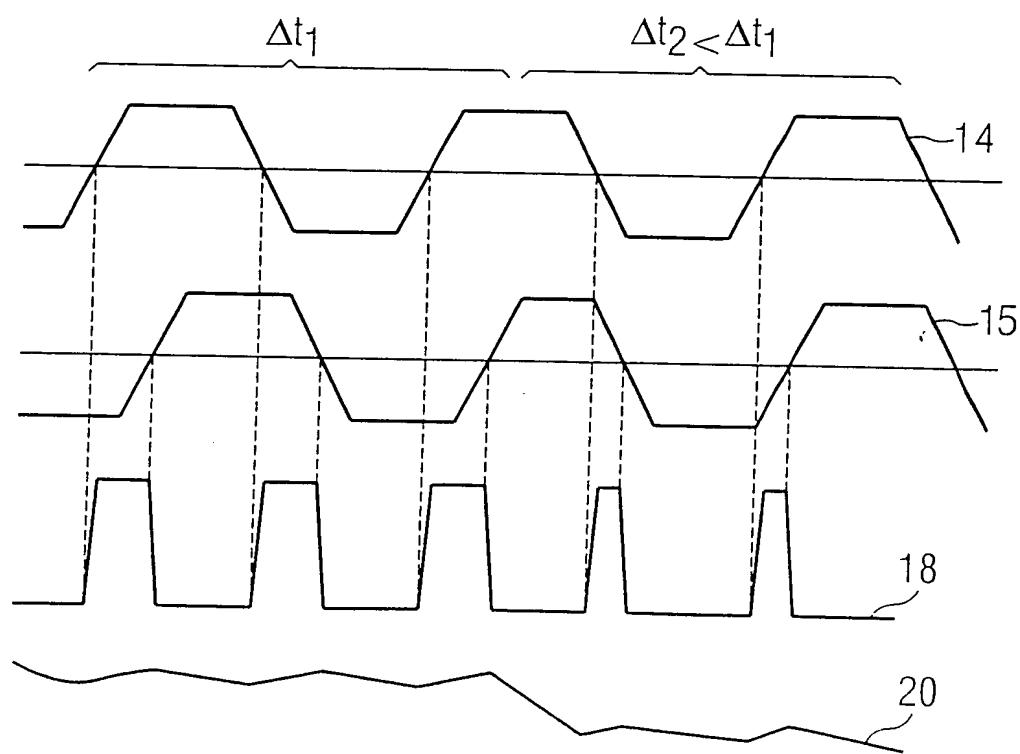


FIG 4

